

KOREAN PATENT ABSTRACT (KR)

REGISTRATION

(65) Publication No.: 1996-0019764 (43)Publication Date: 17 June 1996
(21) Application No.: 1994-0031325 (22)Application Date: 26 November 1994
(51) IPC Code:
H01L29/68

(71) Applicant:
Korea Electronics and Telecommunications Research Institute
161 Kajeong-dong, Yuseong-gu, Taejeon-City, Korea

(72) Inventor:
LEE, SU MIN
YEOM, BYEONG RYEOL
HAN, TAE HYEON
CHO, DEOK HO
LEE, SEONG HYEON

(54) Title of the Invention:

Method of Manufacturing Self-align Bipolar Transistor

Abstract:

A high-speed bipolar transistor that is widely used in next generation high-speed information processing systems, such as computers and communication devices, is provided. Particularly, a method of manufacturing a bipolar transistor is provided to self-align an emitter and a base by using a metal thin layer and to reduce a base parasitic resistance by performing a selective epitaxial lateral overgrowth on a silicon emitter electrode. The provided method uses a metal thin layer, such as a titanium silicide, as an inactive base so that the parasitic base resistance of a device is low. In addition, the provided method self-aligns the emitter and the base so that a reproducibility of the device is high and the size of the device is reduced to improve the integration of the device.

AM

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. 6

H01L 29 /68

(11) 등록번호

특0163739

(21) 출원번호

특 1994-031325

(24) 등록일자

1998년09월08일

(22) 출원일자

1994년 11월 26일

(43) 공개번호

특 1996-019764

(73) 특허권자

한국전자통신연구원 정선종 외1인
대전직할시 유성구 가정동 161번지

(72) 발명자

이수민
대전직할시 유성구 가정동 161
영병렬
대전직할시 유성구 가정동 161
한태현
대전직할시 유성구 가정동 161
조덕호
대전직할시 유성구 가정동 161
이성현
대전직할시 유성구 가정동 161

(74) 대리인

김영길, 이화익, 김영섭

심사관 : 조신호

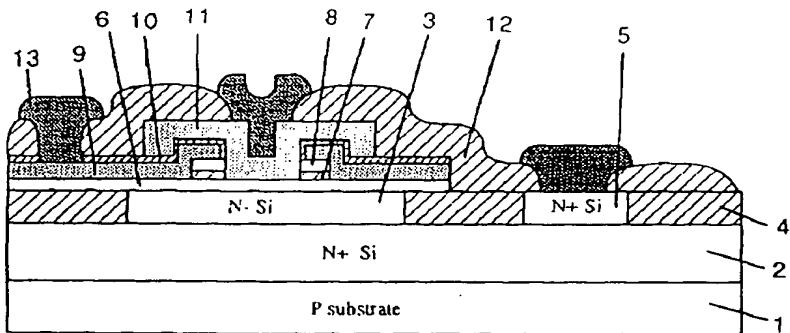
(54) 자기정렬 쌍극자 트랜지스터의 제조방법

요약

본 발명은 컴퓨터나 통신기기 등의 차세대 고속 정보처리 시스템에 널리 이용되고 있는 고속 쌍극자(bipolar) 트랜지스터에 관한 것으로서, 실리콘 에미터 전극을 선택적 단결정 과성장(epitaxial lateral overgrowth)하여 에미터와 베이스가 자기정렬되게 하고 금속성 박막을 이용하여 베이스 기생저항을 크게 감소시킨 쌍극자 트랜지스터 제조방법에 관한 것이다.

본 발명은 비활성 베이스로 금속성 박막인 티타늄 실리사이드를 사용하기 때문에 소자의 기생 베이스 저항이 적으며, 에미터와 베이스를 자기정렬시킴으로서 재현성이 높고 소자의 크기를 줄여 직점도를 높일 수 있는 장점이 있다.

대표도



명세서

[발명의 영칭]

자기정렬 쌍극자 트랜지스터의 제조방법

[도면의 간단한 설명]

제1도는 종래의 기술에 의해 제작된 쌍극자 트랜지스터의 단면도.

제2도는 종래의 다른 기술에 의해 제작된 쌍극자 트랜지스터의 단면도.

제3도는 본 발명에 따른 쌍극자 트랜지스터의 구조를 나타낸 단면도.

제4도는 본 발명에 의한 쌍극자 트랜지스터의 제조방법을 순차적으로 나타낸 공정 단면도.

[발명의 상세한 설명]

본 발명은 컴퓨터나 통신기기 등의 차세대 고속 정보처리 시스템에 널리 이용되고 있는 고속 쌍극자(bipolar) 트랜지스터에 관한 것으로서, 실리콘 에미터 전극을 선택적 단결정 과성장(epitaxial lateral overgrowth)하여 에미터와 베이스가 자기정렬되게 하고 금속성 박막을 이용하여 베이스 기생저항(base parasitic resistance)을 크게 감소시킨 쌍극자 트랜지스터 제조방법에 관한 것이다.

제1도는 종래의 선택적 단결정 과성장에 의해 제조된 종래 자기정렬 쌍극자 트랜지스터의 구조를 나타낸 것이다.

이런 구조의 트랜지스터를 얻기 위해서는, 먼저 실리콘 기판(1)에 약 10at_o

ms/cm₂ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 서브(sub) 콜렉터(2)를 형성하고, 콜렉터(3)를 단결정 성장한 후, 소자격리를 위한 산화막(4)을 형성한 다음, 약 10atoms/cm₂ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 콜렉터 싱커(sinker)(5)를 형성시키고, 베이스(6)을 형성한다.

이어, 산화막(7)과 질화막(8)을 도포하고 식각한 다음, 선택적 단결정 과성장에 의해 실리콘(9)을 성장시킨 후, 저온 고압로에서 실리콘(9)을 산화시켜 산화막(10)을 성장시킴으로서 에미터와 베이스(6)가 자기 정렬(self aligned)되게 하고, 질화막(8)과 산화막(7)을 차례로 식각한 다음, 베이스(6) 상부에 불순물이 첨가된 다결정 실리콘(11)을 도포하고 식각하여 에미터를 형성한다.

다음, 절연막(12)을 도포하고 식각하여 금속접촉 부분을 정의한 후, 금속(13)을 증착하고 식각하여 소자를 완성한다.

상술한 바와 같은 제조방법에 의해 쌍극자 트랜지스터를 제조하는 경우, 비활성 베이스로 자체 저항이 큰 실리콘(9)을 사용하기 때문에 기생 베이스 저항(상기 실리콘(9)의 저항과 상기 실리콘(9) 및 금속(13)간의 접촉저항의 합)이 크므로 소자의 고주파 성능인 최대 진동 주파수(maximum oscillation frequency) 특성이 저하되며, 특히 이 구조에서는 실리콘 에미터를 형성하기 위해 이온주입 방법이 아닌 낮은 실리콘 박막을 성장할 경우, 베이스 박막(6)을 형성하고 난 후에 에미터 박막을 형성해야 하므로 산화막(7)에 의해 정의된 영역인 만큼 큰 에미터-베이스 접합용량(junction capacitance)이 존재하게 되는 단점이 있다.

최근에 와서 소자의 구조가 최적화 그리고 소형화되면서 소자활성 영역상에 존재하는 베이스 저항보다도 베이스 전극 물질에서 야기되는 베이스 기생저항을 더욱 줄이기 위해 베이스 전극으로 다결정 실리콘 대신에 저항이 매우 낮은 금속성 박막, 예를 들면 티타늄 실리사이드(titanium silicide)박막을 사용하는 공정에 대해 연구가 활발하게 진행되고 있다.

제2도는 베이스 전극으로 금속성 박막을 사용하여 제조된 종래 쌍극자 트랜지스터의 구조를 나타낸 것이다.

먼저, 실리콘 기판(21)에 약 $10_{\text{atoms/cm}^2}$ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 서브(sub) 쿨렉터(22)를 형성하고, 쿨렉터(23)를 단결정 성장한 후, 소자 격리를 위한 산화막(24)을 형성한 다음, 약 $10_{\text{atoms/cm}^2}$ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 쿨렉터 싱커(sinker)(25)를 형성시키고, 베이스 박막(26)을 형성한다.

이어, 산화막(27)을 도포하고 에미터 영역을 정의한 후, 불순물이 첨가된 다결정 실리콘(28)을 도포하고 사전전사 공정과 식각공정으로 패터닝한 다음, 비활성 베이스 영역에 고농도의 불순물을 이온주입하고 산화막(29)을 도포 및 식각하여 측벽막을 형성하고, 비활성 베이스 영역과 에미터 전극인 다결정 실리콘(28)위에 선택적으로 티타늄 실리사이드(titanium silicide)(30)를 형성한다.

다음, 절연막(31)을 도포하고 식각하여 금속접촉 부분을 정의한 후, 금속(32)을 증착하고 식각하여 소자를 완성한다.

상술한 바와 같은 제조방법에 의해 쌍극자 트랜지스터를 제조하는 경우, 비활성 베이스로 금속성 박막인 티타늄 실리사이드(30)를 사용하기 때문에 기생저항은 감소하지만, 에미터 전극인 다결정 실리콘(28)을 사전전사 공정으로 정의하고 식각하여 비활성 베이스 영역이 형성되므로 마스크 오정렬에 의해 재현성이 나쁘고, 제1도의 경우와 마찬가지로 다결정 실리콘(28)과 측벽 산화막(29)에 의해 정의된 영역만큼 큰 에미터-베이스 접합용량(junction capacitance)이 존재하게 되는 단점이 있다.

본 발명의 목적은 소자의 기생 베이스 저항이 작고 재현성이 높으며, 에미터와 베이스를 자기정렬 시킴으로서 소자의 크기를 줄여 직접도를 높일 수 있고, 에미터-베이스 접합용량이 작은 쌍극자 트랜지스터를 제조하는 방법을 제공하는데 있다.

제3도는 본 발명에 따라 완성된 쌍극자 트랜지스터의 구조를 나타낸 것이다.

먼저, 실리콘 기판(41)에 약 $10_{\text{atoms/cm}^2}$ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 서브(sub) 쿨렉터(42)를 형성하고, 쿨렉터(43)를 단결정 성장한 후, 소자 격리를 위한 산화막(44)을 형성한 다음, 약 $10_{\text{atoms/cm}^2}$ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 쿨렉터 싱커(sinker)(45)를 형성시키고, 베이스 박막(46)을 형성한다.

이어, BSG(boro-silicate glass)막(47)을 도포하고 식각한 후, 산화막(48)을 도포하고 열처리하여 비활성 베이스 영역을 고농도의 봉소(boron)로 도핑함으로서 금속과의 오믹저항(ohmic resistance)을 크게 한 다음, 산화막(48)을 식각하여 측벽막을 형성함으로서 에미터 영역을 정의하여, 이때 측벽 산화막(48)은 상기 열처리시 소자활성 영역으로의 고농도 봉소 확산영역을 막아주어 에미터-베이스간의 누설전류(leakage current)를 방지하는 효과가 있다.

다음, 에미터 영역에 불순물을 동시에 첨가하면서 실리콘(49)을 선택적 단결정 고성장하고 상기 실리콘(49)을 마스크로 하여 BSG막(47)을 식각하여 에미터 영역과 베이스 영역을 분리한다.

다음, 비활성 베이스 영역과 에미터 전극인 실리콘막(49)위에 선택적으로 티타늄 실리사이드(50)를 형성하고 절연막(51)

을 도포하고 식각하여 금속접촉 부분을 정의한 후, 금속(52)을 증착하고 식각하여 소자를 완성한다.

따라서, 비활성 베이스로 금속성 박막인 티타늄 실리사이드(50)를 사용하기 때문에 소자의 기생 베이스 저항이 작으며, 에미터와 베이스를 자기정렬 시킴으로서 재현성이 높고 소자의 크기를 줄여 적절도를 높일 수 있는 장점이 있다.

한편, 본 발명에서는 실리콘 에미터를 형성하기 위해 얇은 실리콘 박막을 성장할 경우, 제1도와 제2도에서와는 달리 측벽 산화막(48)에 의해 정의된 에미터 영역에 선택적 단결정 과성장법에 의해 얇은 에미터 박막을 성장하고 동시에 에미터 전극(49)을 성장하므로, 상기 측벽 산화막(48)에 의해 정의된 에미터 영역에서만 에미터-베이스 접합 용량이 존재하게 되어 접합용량이 크게 감소하므로 소자의 고주파 응답특성이 우수한 장점이 있다.

상기 제3도에 따른 한 실시예를 제4도(a)~(f)를 통하여 제조공정을 설명한다.

먼저, (a)공정은 실리콘 기판(61)에 약 10 atoms/cm^2 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 서브(sub) 쿨렉터(62)를 형성하고, 쿨렉터(63)를 단결정 성장한 후, 소자격리를 위한 산화막(64)을 형성한 다음, 약 10 atoms/cm^2 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 쿨렉터 싱커(sinker)(65)를 형성시키고, 베이스 박막(66)을 형성한 다음, BSG(67)을 도포한 후의 단면도이다.

(b)는 (a)공정 후에 BSG막(67)을 식각하고 강광막(68)으로 마스킹(masking)한 후 쿨렉터 위의 베이스 박막을 식각하는 공정이다.

(c)는 (b)공정 후에 산화막(69)을 도포하고 열처리 하는 공정이다.

(d)는 (c)공정 후에 상기 산화막(69)을 식각하여 에미터 영역을 정의하기 위한 측벽 산화막(69a, 69b)을 형성한 후, 그 정의된 에미터 영역에 실리콘(70)을 선택적 단결정 과성장하는 공정이다.

(e)는 (d)공정 후에 티타늄 실리사이드(71)를 형성하는 공정이다.

(f)는 (e)공정 후에 절연막(72)을 도포하고 식각하여 금속접촉 부분을 정의한 후의 단면도이다.

(g)는 (f)공정 후에 금속(73)을 증착하고 식각한다.

상기에서는 일실시예의 제조공정을 설명하였으나 본 발명의 사상에 벗어남이 없이 다르게 실시할 수도 있음은 이 분야에 통상적인 지식을 가진 자는 쉽게 알 수 있을 것이다.

이상 설명한 바와같이 본 발명에 의하면, 소자의 비활성 베이스로 금속성 박막인 티타늄 실리사이드를 사용하여 기생 베이스 저항이 작으며, 실리콘 에미터 전극을 선택적 단결정 과성장하여 에미터와 베이스가 자기정렬되게 함으로서 재현성이 높고 소자의 크기를 줄여 초고집적화가 가능한 초고속 쌍극자 소자를 제조하였다.

한편, 본 발명에서는 실리콘 에미터를 형성하기 위해 얇은 실리콘 박막을 성장할 경우, 제1도와 제2도에서와는 달리 측벽 산화막(48)에 의해 정의된 에미터 영역에 선택적 단결정 과성장법에 의해 얇은 에미터 박막을 성장하고 동시에 에미터 전극(49)을 성장하므로, 상기 측벽 산화막(48)에 의해 정의된 에미터 영역에서만 에미터-베이스 접합 용량이 존재하게 되어 접합용량이 크게 감소하므로 소자의 고주파 응답특성이 우수한 장점이 있다.

또한, 이종접합 쌍극자 소자도 동시에 가능하게 되었으므로 실리콘 쌍극자 트랜지스터의 동작속도 한계를 뛰어넘어서 새로운 초고속 소자의 영역을 개발하였다.

이 결과 고속정보 처리 및 저전력을 요하는 고속 컴퓨터, 통신기기등 정보처리 시스템에서 실리콘 쌍극자 트랜지스터의 한계를 대폭 확장시켜서 실리콘 쌍극자 트랜지스터의 응용범위가 확장을 고속소자의 영역까지 확장되게 되었다.

물론 화합물 고속소자의 전범위를 다 포함하는 것은 아니지만 값싸고 안전하며 적절화가 용이한 실리콘 고속 쌍극자 트랜

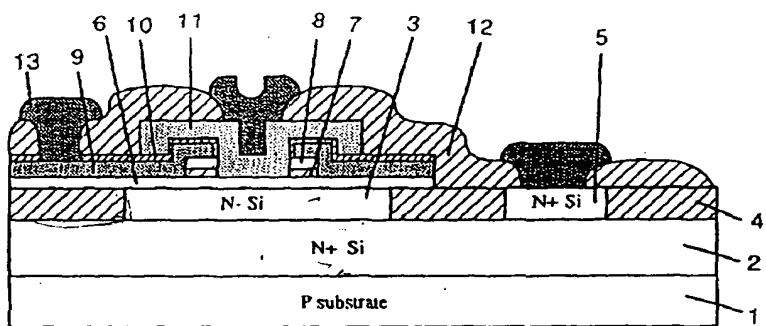
지스터가 앞으로 어느정도 화합물 고속소자를 대체하게 될 것이다.

(57) 청구의 범위

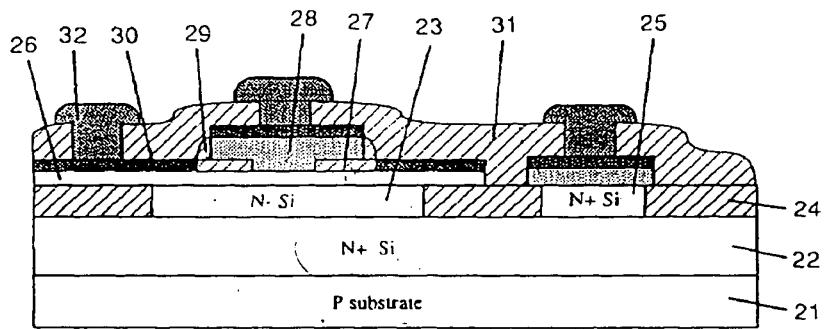
청구항 1. 실리콘 기판(41)에 약 $10_{\text{atoms/cm}^2}$ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 서브 클렉터(42)를 형성하고, 클렉터(43)와 소자격리를 위한 산화막(44)을 형성한 후 약 $10_{\text{atoms/cm}^2}$ 이상의 고농도의 n형 또는 p형 불순물을 이온주입하여 클렉터 싱커(44)와 베이스 박막(46)을 형성하는 단계; 상기 베이스 박막(46) 위에 BSG(boro-silicate glass)막(67)을 도포한 후 패터닝하여 비활성 베이스 영역과 활성영역을 정의하고 측벽 산화막(48)을 형성하여 에미터 활성영역을 정의하는 단계; 실리콘(49)을 선택적 다결정 과성장(epitaxial lateral overgrowth)하여 실리콘 에미터와 에미터 전극을 동시에 성장시킨후, 상기 실리콘(49)을 마스크로하여 상기 BSG막(67)을 식각하여 에미터와 베이스를 자기정렬 시키는 단계; 및 상기 비활성 베이스 영역과 에미터 전극인 실리콘(49) 상부에 선택적으로 티타늄 실리사이드(50)를 형성하고, 절연막(51) 도포후 금속배선(52)하는 단계로 이루어진 자기정렬 쌍극자 트랜지스터의 제조방법.

도면

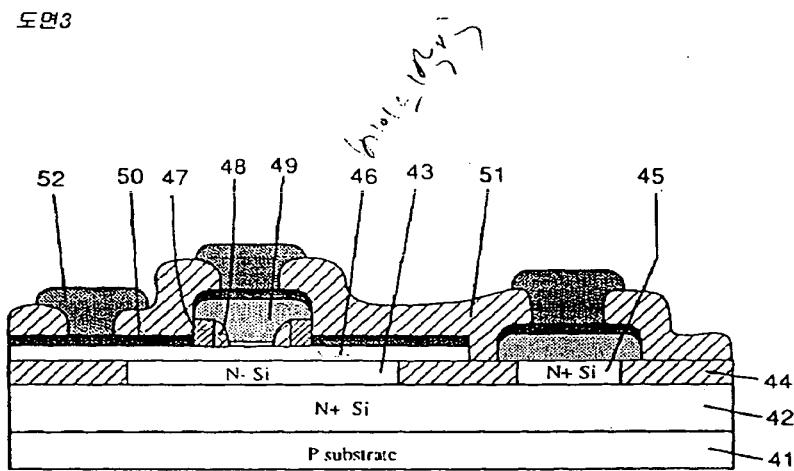
도면 1



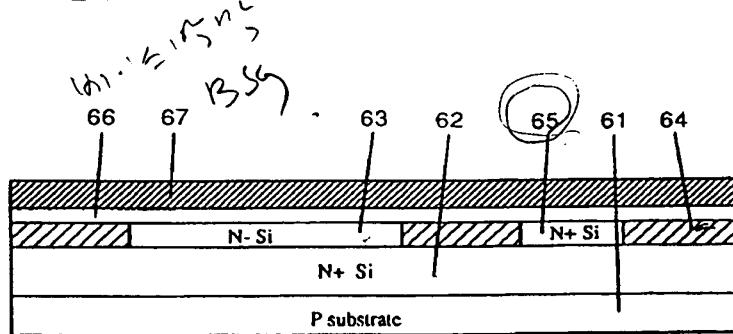
도면2



도면3



도면4a



도면4b